

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 09-186564
(43) Date of publication of application : 15.07.1997

(51) Int. Cl. H03K 5/13
H03K 3/02
H03K 19/0948

(21) Application number : 08-277518 (71) Applicant : NORTHERN TELECOM LTD
(22) Date of filing : 27.09.1996 (72) Inventor : BERNARD GUY
MICHAEL ALTMAN

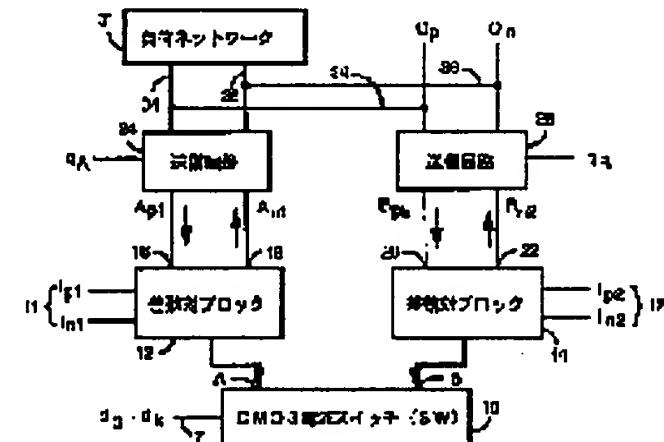
(30)Priority
Priority number : 95 583169 Priority date : 02.10.1995 Priority country : US

(54) CMOS DIGITAL CONTROL CLM/ECL CLOCK PHASE SHIFTER

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a current-mode logic/emitter-coupled logic(CML/ECL) clock phase shifter generating a desired phase in response to a control signal which provides a 360° of phase control range and receives two CML clock signals with a known phase difference.

SOLUTION: The phase shifter employs a CMOS current switch 10 generating a current signal with an amplitude adjusted by a digital control signal. A differential pair devices provide an amplitude-modulated current signal to an input clock and an input clock modified signal. Two MOS transmission networks invert selectively each amplitude-modulated signal and sums signals from each side of a load network. The phase control resolution is optimum over four quadrants of an orthogonal phase input clock signal.



LEGAL STATUS

[Date of request for examination] 02.04.2003

[Date of sending the examiner's decision
of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted

[registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-186564

(43)公開日 平成9年(1997)7月15日

(51)Int.Cl.⁶
H 03 K 5/13
3/02
19/0948

識別記号

府内整理番号

F I
H 03 K 5/13
3/02
19/094

技術表示箇所
K
B

審査請求 未請求 請求項の数18 FD (全10頁)

(21)出願番号 特願平8-277518

(22)出願日 平成8年(1996)9月27日

(31)優先権主張番号 08/583169

(32)優先日 1995年10月2日

(33)優先権主張国 米国(US)

(71)出願人 390023157

ノーザン・テレコム・リミテッド
NORTHERN TELECOM LIMITED

カナダ国、エイチ2ワイ3ワイ4、ケベック、モントリオール、エスティ、アントインストリート ウエスト 380 ワールド トレード センタ オブ モントリオール 8フロア

(74)代理人 弁理士 泉 和人

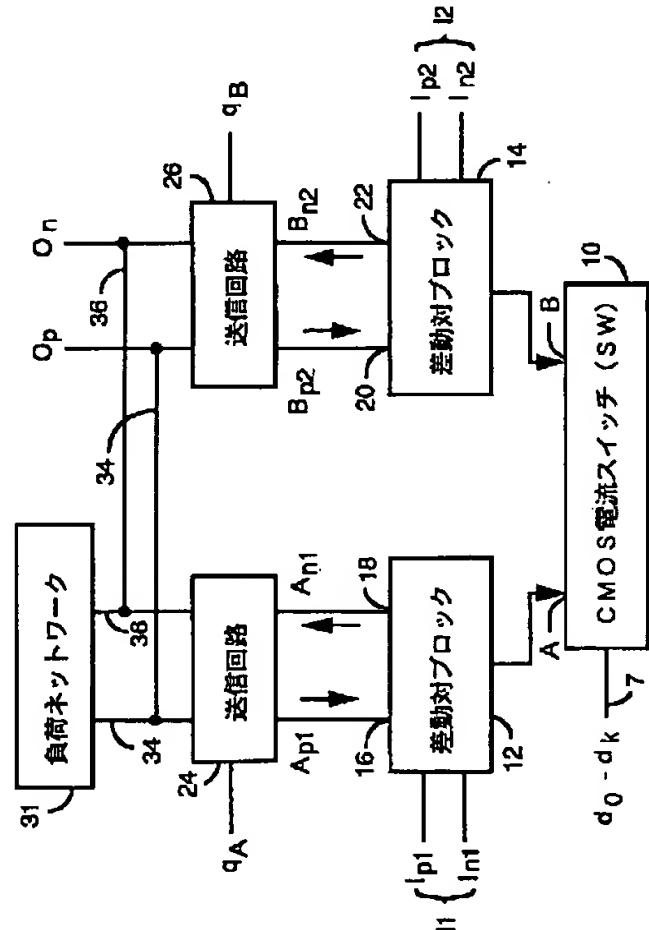
最終頁に続く

(54)【発明の名称】 CMOSディジタル制御CML/ECLクロック移相器

(57)【要約】

【課題】 360° の位相制御範囲を供給し、既知の位相差を有する2つのCMLクロック信号を与えられるときに、制御信号に応じて所望の位相を生成するCML/ECLクロック移相装置を提供する。

【解決手段】 この装置は、ディジタル語である制御信号によって調節できる振幅を有する電流信号を生成するCMOS電流スイッチを使用する。差動対装置は、振幅変調された電流信号を、入力クロックおよび入力クロック変形信号に供給する。2つのMOS送信ネットワークは、各振幅変調された信号を選択的に反転し、負荷ネットワークの各側からの信号を合計する。位相制御分解能度は、直交位相入力クロック信号の4つの象限に渡って最適である。



【特許請求の範囲】

【請求項1】 360° の位相制御範囲で高速信号の位相を変えるCMOSディジタル制御CLM/ECLクロック移相器において：制御ディジタル信号に従って、第1のノードに第1の電流を、第2のノードに第2の電流を与える電流スイッチと、

前記高速信号と前記第1の電流を受け、前記高速信号を前記第1の電流で振幅変調し、前記変調された高速信号を選択的に第1および第2のルートに導く第1の差動ブロックと、

前記高速信号と既知の固定位相差を有する前記高速信号の変形信号と前記第2の電流を受け、前記高速変形信号を前記第2の電流で振幅変調し、前記変調された高速変形信号を選択的に第3および第4のルートに導く第2の差動ブロックと、

前記制御ディジタル信号に従って、前記第1および第2のルートを第1の加算ノードおよび第2の加算ノードに接続する第1の送信回路と、

前記制御ディジタル信号に従って、前記第3および第4のルートを第1の加算ノードおよび第2の加算ノードに接続する第2の送信回路と、

前記第1および第2の加算ノードに接続され、 360° の位相制御範囲の高速出力信号を供給する負荷ネットワークとから構成されることを特徴とするCMOSディジタル制御CLM/ECLクロック移相器。

【請求項2】 請求項1記載のCMOSディジタル制御CLM/ECLクロック移相器において、前記第1の差動ブロックは：前記第1のノードに接続されるエミッタとそれぞれ前記第1および第2のルートに接続されるコレクタを有する第1および第2の半導体装置と、

前記第1の半導体装置のベースに前記高速信号を与える手段と、

前記第2の半導体装置のベースに前記高速信号の反転信号を与える手段とから構成されることを特徴とするCMOSディジタル制御CLM/ECLクロック移相器。

【請求項3】 請求項1記載のCMOSディジタル制御CLM/ECLクロック移相器において、前記第2の差動ブロックは：前記第2のノードに接続されるエミッタとそれぞれ第1および第2のルートに接続されるコレクタを有する第3および第4の半導体装置と、

前記第3の半導体装置のベースに前記高速信号を与える手段と、

前記第4の半導体装置のベースに前記高速信号の反転信号を与える手段とから構成されることを特徴とするCMOSディジタル制御CLM/ECLクロック移相器。

【請求項4】 請求項1記載のCMOSディジタル制御CLM/ECLクロック移相器において、前記第1の送信回路は：共通端子が前記第1のルートに、出力端子がそれぞれ前記第1および第2の加算ノードに接続され、前記制御ディジタル信号の第1の象限ディジットに従つ

て、前記変調された高速信号および前記変調された高速信号の反転信号を、前記第1および第2の加算ノード間で切り替える第1のスイッチと、

共通端子が前記第2のルートに、出力端子がそれぞれ前記第1および第2の加算ノードに接続され、前記第1の象限ディジットの反転信号に従つて、前記変調された高速変形信号および前記変調された高速信号の反転信号を、前記第1および第2の加算ノード間で切り替える第2のスイッチとから構成されることを特徴とするCMOSディジタル制御CLM/ECLクロック移相器。

【請求項5】 請求項4記載のCMOSディジタル制御CLM/ECLクロック移相器において、前記第1のスイッチは、前記第1のルートに共通接続されるドレインと、それぞれ前記第1および第2の加算ノードに接続されるソースと、前記第1の象限ディジットを受けるために接続されるゲートとを有する一対のCMOSトランジスタから構成されることを特徴とするCMOSディジタル制御CLM/ECLクロック移相器。

【請求項6】 請求項4記載のCMOSディジタル制御CLM/ECLクロック移相器において、前記第2のスイッチは、前記第2のルートに共通接続されるドレインと、それぞれ第1および第2の加算ノードに接続されるソースと、前記第1の反転信号象限ディジットを受けるために接続されるソースとを有する一対のCMOSトランジスタから構成されることを特徴とするCMOSディジタル制御CLM/ECLクロック移相器。

【請求項7】 請求項1記載のCMOSディジタル制御CLM/ECLクロック移相器において、前記第2の送信回路は：共通端子が前記第3のルートに、出力端子がそれぞれ前記第1および第2の加算ノードに接続され、前記制御ディジタル信号の第2の象限ディジットに従つて、前記変調された高速変形信号および前記変調された高速変形信号の反転信号を、前記第1および第2の加算ノード間で切り替える第3のスイッチと、共通端子が前記第4のルートに、出力端子がそれぞれ前記第1および第2の加算ノードに接続され、前記第2の反転信号象限ディジットに従つて、前記変調された高速変形信号および前記変調された高速変形信号の反転信号を、前記第1および第2の加算ノード間で切り替える第4のスイッチとから構成されることを特徴とするCMOSディジタル制御CLM/ECLクロック移相器。

【請求項8】 請求項7記載のCMOSディジタル制御CLM/ECLクロック移相器において、前記第3のスイッチは、前記第3のルートに共通接続されるドレインと、それぞれ前記第1および第2の加算ノードに接続されるソースと、前記第2の象限ディジットを受けるために接続されるゲートとを有する一対のCMOSトランジスタから構成されることを特徴とするCMOSディジタル制御CLM/ECLクロック移相器。

【請求項9】 請求項7記載のCMOSディジタル制御

C LM/E CLクロック移相器において、前記第4のスイッチは、ともに前記第4のルートに接続されるドレインと、それぞれ前記第1および第2の加算ノードに接続されるソースと、前記第2の反転信号象限ディジットを受けるために接続されるゲートとを有する一対のCMOSトランジスタから構成されることを特徴とするCMOSディジタル制御C LM/E CLクロック移相器。

【請求項10】 請求項1記載のCMOSディジタル制御C LM/E CLクロック移相器において、前記負荷ネットワークは：前記第1の加算ノードと電源端子との間に接続される第1の抵抗と、

前記第2の加算ノードと前記電源端子との間に接続される第2の抵抗とから構成されることを特徴とするCMOSディジタル制御C LM/E CLクロック移相器。

【請求項11】 請求項1記載のCMOSディジタル制御C LM/E CLクロック移相器において、前記電流スイッチは：制御電流を共通ノードに供給する電流源と、NMOSトランジスタとPMOSトランジスタとからなる一対のCMOSトランジスタとから構成され、

前記NMOSトランジスタのソースおよび前記PMOSトランジスタのドレインは対応の電流源に共通接続され、各MOSトランジスタのゲートは前記制御信号のディジットを受け、前記NMOSトランジスタ各ドレインは第1のノードに共通接続され、前記PMOSトランジスタのソースは第2のノードに共通接続され前記第1および前記第2の電流をそれぞれ前記第1および第2のノードに導くことを特徴とするCMOSディジタル制御C LM/E CLクロック移相器。

【請求項12】 請求項1記載のCMOSディジタル制御C LM/E CLクロック移相器において、前記電流スイッチは：それが制御電流を各k番目の共通ノードに供給するk個の電流源と、

NMOSトランジスタとPMOSトランジスタとからなる一対のCMOSトランジスタk組とから構成され、前記NMOSトランジスタの各ソースおよび前記PMOSトランジスタの各ドレインは対応のk番目の共通ノードに共通接続され、各MOSトランジスタのゲートは前記制御信号のディジットを受け、前記NMOSトランジスタの各ドレインは第1のノードに共通接続され、前記PMOSトランジスタの各ソースは第2のノードに共通接続され、前記k番目のディジットに従って、成分電流を前記第1のノードに、相補型成分電流を前記第2のノードに導くことを特徴とするCMOSディジタル制御C LM/E CLクロック移相器。

【請求項13】 請求項12記載のCMOSディジタル制御C LM/E CLクロック移相器において、前記k個のCMOSトランジスタ対からの前記成分電流の合計は、前記第1の電流を形成し、前記k個のCMOSトランジスタ対からの前記相補型成分電流は、前記第2の電流を形成することを特徴とするCMOSディジタル制御

C LM/E CLクロック移相器。

【請求項14】 請求項13記載のCMOSディジタル制御C LM/E CLクロック移相器において、前記第1および第2のノードで得られた前記第1および第2の電流の正規化振幅の合計は、単位値に等しいことを特徴とするCMOSディジタル制御C LM/E CLクロック移相器。

【請求項15】 360° の位相制御範囲で高速信号の位相を変えるCMOSディジタル制御C LM/E CLクロック移相器において：第1のノードに第1の電流を、第2のノードに第2の電流を与え、制御ディジタル信号に従って前記第1および第2の電流の振幅を調節できる手段と、

前記高速信号および前記第1の電流を受信し、前記高速信号を前記第1の電流で振幅変調し、前記変調された高速信号を選択的に第1および第2のルートに導く第1の差動ブロックと、

前記高速信号と既知の固定位相差を有する前記高速信号の変形信号と前記第2の電流とを受け、前記高速変形信号を前記第2の電流で振幅変調し、前記変調された高速変形信号を選択的に第3および第4のルートに導く第2の差動ブロックと、

前記制御ディジタル信号に従って、前記第1および第2のルートをそれぞれ前記第1の加算ノードと第2の加算ノードに接続する第1の送信回路と、

前記制御ディジタル信号に従って、前記第3および第4のルートをそれぞれ前記第1の加算ノードと前記第2の加算ノードに接続する第2の送信回路と、

前記第1および第2の加算ノードに接続され、高速出力信号に 360° の位相制御範囲を供給する負荷ネットワークとから構成されることを特徴とするCMOSディジタル制御C LM/E CLクロック移相器。

【請求項16】 請求項14記載のCMOSディジタル制御C LM/E CLクロック移相器において、前記第1および第2の電流の正規化振幅の合計は、単位値に等しいことを特徴とするCMOSディジタル制御C LM/E CLクロック移相器。

【請求項17】 請求項15記載のCMOSディジタル制御C LM/E CLクロック移相器において、さらに、前記第1および第2の電流を発生する電流源から構成されることを特徴とするCMOSディジタル制御C LM/E CLクロック移相器。

【請求項18】 請求項2記載のCMOSディジタル制御C LM/E CLクロック移相器において、前記第1および第2の半導体装置は、バイポーラトランジスタであることを特徴とするCMOSディジタル制御C LM/E CLクロック移相器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は移相回路に関するも

のであり、特にCMOSディジタル制御CML/ECL移相器に関するものである。ここで、CMLは、current-mode logic、電流モード論理を意味する。また、ECLは、emitter-coupled logic、エミッタ結合型論理回路を意味する。

【0002】

【従来の技術】時々位相がシフトしたクロック信号を生成することが必要となる。その例として、タイミング再生回路および遅延ロックループの2つが挙げられる。従来のクロック移相回路は、縦続遅延セル、可変遅延セル、またはミキシング回路に基づいている。後者の場合、移相制御の出力は、ノイズやクロストークによって影響を受けやすいアナログ信号である。この場合、ディジタル/アナログ変換器を用いることによってディジタル制御を行うことができる。

【0003】

【発明が解決しようとする課題】CMOSおよびCML/ECL技術がある装置において使用されている場合には、変換器または抵抗ネットワークは、CMOS制御信号をCML/ECLフォーマットに変換することが必要である。そのような回路を備えると、回路はより複雑さを増し、電力損失が増加する。その上、混合クロック移相回路の位相制御範囲は、典型的には90°に限られている。CMOSおよびCML/ECL技術は、現在、同じ集積回路の中で使用され、電力損失を減少させ、性能を向上させる努力がなされている。したがって、CML/ECL回路において、特に、高速論理回路においては、CMOS信号を制御信号として機能させる必要がある。

【0004】本発明は、従来の移相器によるドローバック(drawback)を完全にまたは部分的に解決する、CMOSディジタル制御を用いたミキサに基づくCML/ECLクロック移相器を提供することを目的とする。

【0005】さらに、CMOS制御信号をCML/ECLフォーマットに変換するのに変換器または抵抗ネットワークを用いない、CMOSディジタル制御CML/ECL移相器を提供することを目的とする。

【0006】本発明の装置は、高速CML/ECL論理信号と低速シングルエンド型CMOS制御信号とを組み合わせた、相補型入力および基準信号を必要としない、電流出力が調整可能な相補型MOS電流源を用いたCML/ECL装置を使用する。

【0007】また、本発明は、0°～360°の間のどの値も取れるようにプログラムできる位相を有する出力クロックを出力するクロック移相器を提供することを目的とする。

【0008】本発明による移相器は、360°の位相制御範囲を提供し、CMOSディジタル語の制御のもとで動作する。この装置は、既知の固定位相差を有する2つのCMLクロック信号が与えられると、ディジタル制御

信号に応じて所望の位相を生成する。位相制御分解能は、直交位相入力クロック信号の4つの象限に対して最適であり、また同等である。

【0009】また、本発明は、ミキサに基づくクロック移相器を非常にコンパクトに導入することを目的とする。

【0010】本発明によるプログラマブル移相器の重要な利点は、異なるタイプの信号に対し互換性がある点である。この回路のプログラマブルな特徴は、ハイブリッドCML-CMOSマルチプレクサブロックを使用することによって実行される。このハイブリッドCML-CMOSマルチプレクサブロックによって、CMOS監視論理ブロックを高速CML信号バスに直接インタフェースすることが可能になる。これを実現するのに、CMOS/CML変換器は不要であり、したがって、素子形成面積と電力損失をかなり減少させることができる。さらに、この回路構成は、CML信号バスの高周波動作に影響しない。このアプローチは他のタイプの信号にも用いることができる。

【0011】また、本発明のもう1つの利点は、最終的に再生したクロックの位相を調節して、0°～360°の出力範囲を得ることができる点である。

【0012】

【課題を解決するための手段】本発明のCMOSディジタル制御CML/ECLクロック移相器は、制御ディジタル信号に従って、第1のノードに第1の電流を、第2のノードに第2の電流を与える電流スイッチと、高速信号と第1の電流を受け、高速信号を第1の電流で振幅変調し、変調された高速信号を選択的に第1および第2のルートに導く第1の差動ブロックと、高速信号と既知の固定位相差を有する高速信号の変形信号と第2の電流を受け、高速変形信号を第2の電流で振幅変調し、変調された高速変形信号を選択的に第3および第4のルートに導く第2の差動ブロックと、制御ディジタル信号に従って、第1および第2のルートを第1の加算ノードおよび第2の加算ノードに接続する第1の送信回路と、制御ディジタル信号に従って、第3および第4のルートを第1の加算ノードおよび第2の加算ノードに接続する第2の送信回路と、第1および第2の加算ノードに接続され、360°の位相制御範囲の高速出力信号を供給する負荷ネットワークとから構成される。

【0013】

【発明の実施の形態】

実施の形態1. 図1は、本発明による移相器の構成図である。電流スイッチ10は、第1の差動ブロック12および第2の差動ブロック14に接続され、第1の電流がノードAに供給され、第2の電流がノードBに供給される。点Aおよび点Bにおける出力電流の振幅は、入力7に与えられるディジタル語 $d_0 \sim d_k$ に依存する。CMOS電流スイッチ10の構成によって、バスA上の電流の

振幅が上昇するとバスB上の電流の振幅が同様に減少し、ノードAにおける電流の振幅が減少するとノードBにおける電流の振幅が同様に上昇するようにミラーリングされる。

【0014】第1の差動ブロック12は、CML/ECL高速クロック信号 I_1 （以下、高速信号またはクロック信号ともいう）より詳細には、入力信号 I_{p1} とその反転された信号 I_{n1} （ $I_1 = I_{p1} + I_{n1}$ ）を受信する。第2の差動ブロック14は、高速クロック信号の変形信号 I_2 （高速クロック信号 I_1 と所定の固定位相差を有する高速クロック信号、以下、高速信号またはクロック信号ともいう）、すなわち、入力信号 I_{p2} およびその反転信号である I_{n2} （ $I_2 = I_{p2} + I_{n2}$ ）を受信する。高速信号 I_1 および高速信号の変形信号 I_2 は、既知の固定位相関係にある。開示され、図示されている実施の形態においては、直交位相クロック信号が使用されているが、入力クロック I_1 および I_2 が必ずしも直交位相になくてもよく、他の位相関係を使用することも可能であることは当業者にとって明らかである。

【0015】ブロック12は、入力クロック信号 I_{p1} および I_{n1} をノードAの電流で振幅変調し、その変調された変調信号をルート16および18に与える。ルート16は、信号 I_{p1} と同位相であり、ノードAの電流の振幅に対応する振幅の信号 A_{p1} を伝送する。ルート18上の変調信号 A_{n1} は、信号 I_{n1} の位相と同位相であり、ノードAの電流の振幅に対応した振幅を有する。

【0016】同様に、ブロック14は、入力直交位相クロック I_{p2} および I_{n2} をノードBの電流で振幅変調し、変調された直交位相クロック信号を出力ルート20および22に与える。出力ルート20は、信号 I_{p2} と同位相で、ノードBの電流の振幅に対応した振幅の変調信号B

p_2 を伝送する。一方、ルート22の変調信号 B_{n2} は信号 I_{n2} と同位相で、ノードBの電流の振幅に対応した振幅を有する。このようにして、振幅変調クロック信号 I_1 および I_2 は、差動対トランジスタの出力において、両方の極性とミラー振幅で利用することができる。

【0017】たとえば、信号 A_{p1} は、 I_{p1} が差動対トランジスタ12の入力端に存在するときに、ルート16に得られる。同時に、信号 B_{p2} は、 I_{p1} の変形信号であり、差動対トランジスタ14の入力端に存在する I_{p2} としてルート20に得られる。ルート18および22上の信号 A_{p1} および B_{p2} の正規化振幅の合計は単位値である。同様に、ルート18および22上の信号 A_{n1} および B_{n2} の正規化振幅の合計も単位値である。

【0018】2つの送信回路24および26は、象限決定信号 q_A および q_B を用いてミキサ差動対トランジスタの信号パスを再構成する。差動対トランジスタ12によって出力される振幅変調信号 A_{p1} および A_{n1} は第1の送信回路24に入力され、差動対トランジスタ14によって出力される振幅変調信号 B_{p2} および B_{n2} は第2の送信回路26に入力される。送信回路24および26は、選択的に各変調信号を反転し、加算ノード34および36のそれぞれにおいて差動信号を合計するように動作し、象限信号 q_A および q_B の値に従って、360°の位相制御範囲がカバーされる。実際、合計は、簡潔な抵抗ネットワークである負荷ネットワーク31で求められる。

【0019】図2および表1は、象限信号 q_A および q_B の様々な値に対する出力クロック位相の変化を示す。出力信号 $O_p \sim O_n$ はフェーザを組み合わせることによって求められる $(O_1 + O_3) \sim (O_2 + O_4)$ 。

【0020】

【表1】

q_A	q_B	加算ノード34	加算ノード36	出力 O	象限
0	0	$A_{p1} + B_{p2}$	$A_{n1} + B_{n2}$	$+O_p + O_n$	I
0	1	$A_{p1} + B_{n2}$	$A_{n1} + B_{p2}$	$+O_p - O_n$	II
1	1	$A_{n1} + B_{n2}$	$A_{p1} + B_{p2}$	$-O_p - O_n$	III
1	0	$A_{n2} + B_{p2}$	$A_{p1} + B_{n2}$	$-O_p + O_n$	IV

【0021】図2に示された O_p および O_n という符号を付されたフェーザがノードAおよびBの電流値によって決定される振幅を有し、 O_p および O_n の振幅および位相が出力信号 O （ $O = O_p + O_n$ ）の位相を決定することは当業者にとって明白である。

【0022】出力信号 O の角度 θ は、象限の中で、2つの成分フェーザの振幅間の関係によって決定され、信号 q_A および q_B は、出力クロック信号の位相の象限を決定する。

【0023】図1、図2、および表1に示すように、第1の象限Iにおいて再生クロック信号を得るためにには、

q_A および q_B の両方が論理「0」でなければならない。図1および2から明らかなように、ノード34における信号は、差動信号 A_{p1} および B_{p2} から成り、ノード36における信号は、信号 A_{n1} および B_{n2} から成る。ノード34と36の間の出力信号 O は、 $(A_{p1} + B_{p2}) - (A_{n1} + B_{n2}) = (A_{p1} - A_{n1}) + (B_{p2} - B_{n2}) = O_p + O_n$ である。出力信号 O_p および O_n の位相角はそれぞれ0°と90°であり、それぞれ電流AおよびBに従って設定された振幅を有する。図2に示すように、 O_{p1} と O_{n1} を加算することによって求められる出力信号 O_1 の位相角 θ_1 は、0°～90°の間にになる。この位相角は、最終

的なクロック信号に影響を与える入力クロック信号の振幅を変えることによって変化させることができる。たとえば、フェーザ対 O_{n2} および O_{p2} では、異なる位相角 θ_2 が得られ、出力クロックは O_2 となる。

【0024】信号 O_n が正で、 O_p が負のとき、その出力信号 O の位相角は $90^\circ \sim 180^\circ$ の間であり、ノードAおよびBの電流の振幅によって決定される。この場合、出力クロックが第2象限(II)にあるとき、 q_A は論理「0」になり、 q_B は論理「1」にならなくてはいけない。

【0025】象限IIIにある出力クロックについては、 q_A と q_B の両方ともが論理「1」になる。この場合、出力信号 O の位相は、 $180^\circ \sim 270^\circ$ の間で変化し、信号 $O_p \sim O_n$ の振幅によって決定される。

【0026】象限IVにある出力クロックを得るために、 q_A は論理「1」となり、 q_B は論理「0」となる。信号 O_p は正であり、 O_n は負であり、それぞれの位相は 270° と 0° 、すなわち 360° である。これらの信号は、それぞれ差動対トランジスタにおけるノードAおよびBの電流で変調される。出力クロック O の位相は、負荷ネットワークに与えられる差動信号の振幅を変えることによって、 $270^\circ \sim 360^\circ$ の間で変化させることができる。

【0027】負荷ネットワーク31は加算ノード34および36間に接続され、上述のように、デジタル制御信号 $d_0 \sim d_k$ に従って、出力信号 O_p および O_n の位相を設定する差動信号を加算する。

【0028】本発明の実施の一形態の電気回路図を図3に示す。CMOS電流は、並列接続されたCMOS対の $SW_0 \sim SW_m$ から $SW'_0 \sim SW'_m$ へ切り替わる。スイッチの動作については、図4および図5を用いてさらに詳しく後述する。3つの電流源11、13および15は、それぞれCMOS対 $SW_0 - SW'_0$ 、 $SW_1 - SW'_1$ 、 $SW_3 - SW'_3$ と直列に接続され、重み付け電流AおよびBを供給する。たとえば、電流源11は、信号 d_0 のレベルに従って、ノードAまたはBにおいて係数 e_0 によって重み付けされた電流を供給する。

【0029】同様に、電流源13は、信号 d_1 のレベルに従って、ノードAまたはBにおいて係数 e_1 によって重み付けされた電流を供給する。また、電流源15は、信号 d_2 のレベルに従って、ノードAまたはBにおいて係数 e_2 によって重み付けされた電流を供給する。図1および図2を用いて上述したように、ノードAおよびBにおける電流の値が、出力される信号の位相を決定する。図4および図5を用いてさらに詳しく後述するように、移相器に使用される電流源の数が応用例に応じて選択できることは当業者にとって明らかである。位相角の分解能を高めたいときは、電流源の数を増やすことができる。

【0030】また、制御語の第kディジットが電流源の

数に従って選択され、象限信号が好ましくは、制御語の一部であることも明らかである。

【0031】第1の差動対トランジスタ12は、入力クロック信号 I_{p1} および I_{n1} を電流Aで変調するために用いられるバイポーラトランジスタQ1およびQ2から成り、出力端16および18に変調信号 A_{p1} および A_{n1} を供給する。第2の差動対トランジスタ14は、入力クロック信号 I_{p2} および I_{n2} を電流Bで変調するために用いられるバイポーラトランジスタQ3およびQ4から成り、出力端20および22に変調信号 B_{p2} および B_{n2} を供給する。

【0032】差動対トランジスタ12および14によって出力される変調信号 A_{p1} 、 A_{n1} 、 B_{p2} および B_{n2} の振幅は、差動対トランジスタのエミッタノードに接続されるCMOS論理制御電流スイッチを用いて制御される。

【0033】第1の送信回路24は、トランジスタQ5およびQ6から成る第1のCMOS対21および、トランジスタQ7およびQ8から成る第2のCMOS対23から構成される。各CMOS対において、ドレインは、差動対トランジスタの一方のトランジスタのコレクタ電流を受けるために共通接続されている。このように、第1のCMOS対21のドレインは、トランジスタQ1のコレクタに接続され、第2のCMOS対23のドレインは、トランジスタQ2のコレクタに接続される。トランジスタQ5およびQ7のソースはノード34に接続され、トランジスタQ6およびQ8のソースはノード36に接続される。

【0034】トランジスタQ5およびQ8の制御端子(ゲート)は、象限信号 q_A を受けるために共通接続され、トランジスタQ6およびQ7の制御端子は、 q_A の反転信号を受けるために共通接続される。インバータ37は、トランジスタQ5およびQ8が、トランジスタQ6およびQ7の状態と反対の状態になるようにするために使用される。

【0035】 q_A がハイのとき、Q5およびQ8は「オフ」になり、Q6およびQ7は「オン」になる。変調信号 A_{p1} は、トランジスタQ2およびQ7を通して、加算ノード34に得られ、変調信号 A_{n1} は、加算ノード36に得られる。したがって、出力信号 O_2 は、トランジスタQ1およびQ6を通して、ノードAおよび加算ノード36間に構成される第1のトラック(T1)に沿って得られる。

【0036】 q_A がローのとき、Q5およびQ8は「オン」になり、Q6およびQ7は「オフ」になる。 A_{p1} は、トランジスタQ1およびQ5を通して、加算ノード34に得られるが、 A_{n1} は、トランジスタQ2およびQ8を通して、加算ノード36に得られる。

【0037】第2の送信回路26は、象限信号 q_B で制御されるCMOS対25および27から成る。CMOS対21および23の場合のように、トランジスタQ9お

およびQ10のドレインはトランジスタQ3のコレクタに共通接続され、トランジスタQ11およびQ12のドレインは、トランジスタQ4のコレクタに共通接続される。トランジスタQ9およびQ11のソースはそれぞれ加算ノード34に接続され、トランジスタQ11およびQ12のソースは加算ノード36に接続される。

【0038】トランジスタQ9およびQ12の制御端子(ゲート)は共通接続され、象限信号 q_B を受け、トランジスタQ10およびQ11の制御端子は共通接続され、 q_B の反転信号を受ける。インバータ38は、トランジスタQ9およびQ12が「オフ」であるとき、トランジスタQ10およびQ11がオンになるようにするために使用される。

【0039】 q_B がハイのとき、トランジスタQ9およびQ12は「オフ」であり、Q10およびQ11は「オン」である。信号 B_{p2} はトランジスタQ3およびQ10を通して加算ノード36に与えられ、信号 B_{n2} は、トランジスタQ4およびQ11を通して加算ノード36に得られる。

【0040】 q_B がローのとき、トランジスタQ9およびQ12は「オン」であり、トランジスタQ10およびQ11は「オフ」である。信号 B_{p2} はトランジスタQ3およびQ9を通して加算ノード34に得られ、信号 B_{n2} はトランジスタQ4およびQ12を通して加算ノード36に得られる。

【0041】送信回路24および26によって出力される信号は、負荷抵抗R1およびR2において加算される。コンデンサCは、渋波用に備えられており、高周波成分を取り除く。その結果得られる出力信号 O_p および O_n は、方形波クロック出力を生成するためにリミタ增幅器39に送られる。

【0042】CMOS電流スイッチ10に用いることができる基本電流スイッチ40を図4に示す。この回路は、米国特許第5,420,529(発明者Guay et al.、登録日1995年3月30日、出願人ノーザンテレコムリミテッド)に開示されている。

【0043】基本電流スイッチ40は、NMOSトランジスタ41とPMOSトランジスタ42から構成される。NMOSトランジスタ41およびPMOSトランジスタ42のゲートG1およびG2は、ノード43に接続され、ディジタル制御信号dを受信する。NMOSトランジスタ41のソースS1およびPMOSトランジスタ42のドレインD2は、ノード44および定電流源45に接続される。電流源45は、他端が負の供給レールに接続される。負性供給レールは図に示すように、接地してもよいが、これは必ずしも重要なことではない。電流源はどのような電流源回路によっても構成できることが明らかであり、このことは、当業者にとって明白である。

【0044】図4において破線で示すように、NMOS

トランジスタ41の基板は V_{ss} またはノード44に接続され、PMOSトランジスタ42の基板は、VddまたはソースS2に接続される。ここで描かれた通りの構成が発明にとって重要というわけではない。他の接続としてもよい。ドレインD1は、ノードAに接続され、ソースS2は、ノードBに接続される。

【0045】基本電流スイッチ40は、单一入力を必要としており、相補型入力や基準レベルは必要でない。信号dは、CMOS入力制御信号である。

【0046】動作中、電流源45からの電流は、端子43に与えられる入力信号dに従って、ノードAとアースの間またはノードBとアースの間のいずれかのパスに導かれる。入力電圧dがローのとき、NMOSトランジスタ41は「オフ」であり、PMOSトランジスタ42は「オン」であり、電流源45で生じた電流がノードBに流れる。入力電圧dがハイのとき、NMOSトランジスタ41は「オン」であり、PMOSトランジスタ42は「オフ」である。定電流源45によって生じた出力電流は、ノードAからアースに流れる。

【0047】相補型MOSトランジスタの動作領域は、ノードAおよびBに付加された回路によって決定される。「オン」状態における相補型MOSトランジスタのドレイン-ソース間電圧は、電流源をそのハイインピーダンス領域に保持できる程度に小さく選択される。

【0048】図5は、本発明で用いられるCMOS電流スイッチ10の構成図である。図4に示すタイプの電流スイッチが複数個並列に接続される場合には、電流値は調節できる。ノードAの出力電流の値は、ディジタル語 $d_0 \sim d_n$ を用いて前もって設定することができ、これにより、どの電流スイッチによってこの回路を構成するかが決定される。

【0049】論理「1」を受ける電流源はノードAの電流を形成し、論理「0」を受ける電流源は、ノードBの電流を形成する。たとえば、もし4ディジットの制御信号 $d_0=1$ 、 $d_1=0$ 、 $d_2=1$ 、 $d_3=1$ がバス7に与えられると、ノードAの電流は、 SW_0 、 SW_2 、 SW_3 による電流によって供給され、ノードBの電流は、 SW_1 による電流によって供給される。

【0050】 $SW_0 \sim SW_n$ のそれぞれに異なる重み付けをすれば、ノードAの電流値の選択に大きな幅を持たせることができる。それが2進数でインクリメントされた電流値を供給し、重み付け電流レベルを有する電流スイッチを用いることができる。たとえば、電流源51は重みを e_0 にし、電流源52は重みを e_1 にし、電流源53は重みを e_2 にし、電流源54は重みを e_k にするように選択することができる。ここで、kは、電流源の数から1を引いた数である。

【0051】図6は、本発明の移相器を、クロック再生回路へ応用した一例の構成図を一般的に示した図である。図1から分かるように、移相器1は、クロック再生

PLLブロック2の出力端に接続され、PLL出力クロックおよびその直交位相成分で動作する。移相器1は、入力端3および4に、それぞれクロック出力Iおよび直交位相クロックQを受ける。端子5および6に得られる出力クロック O_p および O_n は、端子7に与えられるデジタル制御信号 $d_0 \sim d_k$ で位相制御される。

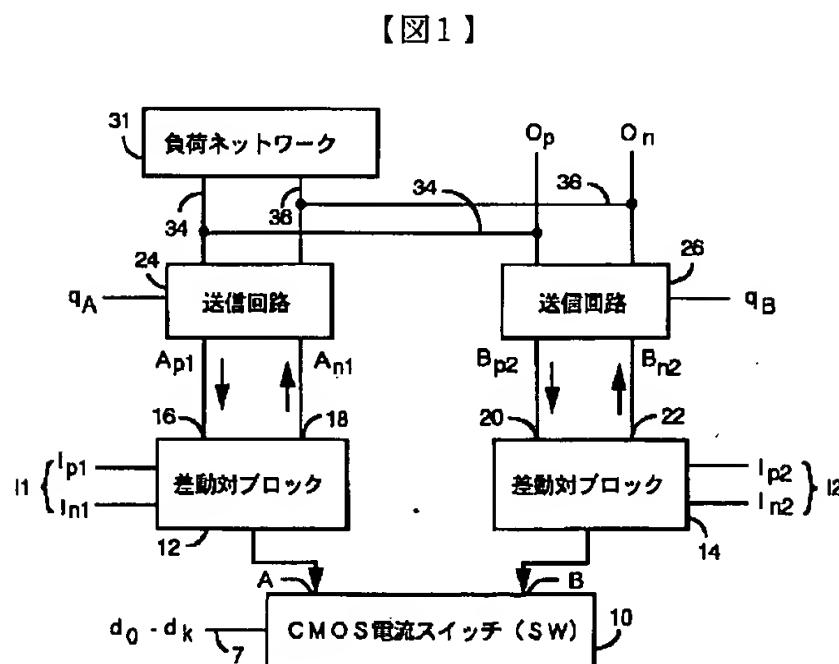
【0052】図7は、制御語を変化させることによる移相器への影響を示すオシロスコープ波形であり、「残留特性」表示モードを用いて測定したものである。クロックは、200MHzで動作しており、使用された移相器は、8ビットの分解能、すなわち、 q_A および q_B は2ビットの分解能、重み付け電流AおよびBは6ビットの分解能を有する。

【0053】図7に示す約200psのステップの大きさは、4番目の最下位ビットを変化させることによって得られる。最下位ビットをトグリングしても、約5psの変化にしかならない。これは、精密に表示するオシロスコープの分解能より小さい。

【0054】ここまで、本発明の特定の実施の形態を図示し、説明してきたが、本発明に対し、種々の応用、選択をなすことができることは当業者にとって自明のものと思われる。しかしながら、そのような応用および選択は、本発明の請求の範囲に含まれるものである。

【図面の簡単な説明】

【図1】 本発明のクロック移相回路の構成図である。



【図1】

【図2】 入力クロック信号の振幅による出力クロック位相の変化を示す図である。

【図3】 図1の回路の概略図である。

【図4】 従来の電流切り替え回路の概略図である。

【図5】 本発明による可変電流切り替え回路の構成図である。

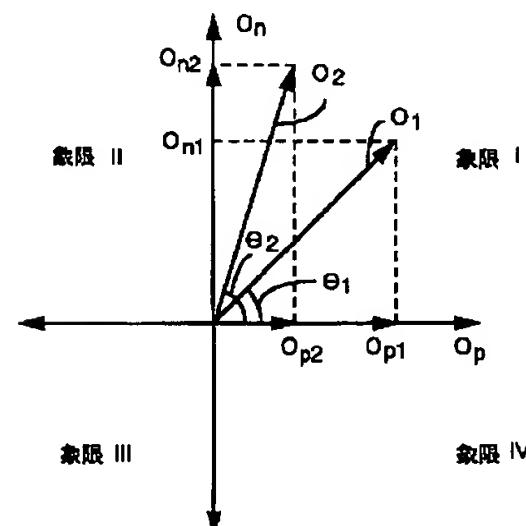
【図6】 本発明のクロック移相器を用いたクロック再生回路の構成図である。

【図7】 制御信号の種々の値に対する出力電圧を時間軸で示すグラフである。

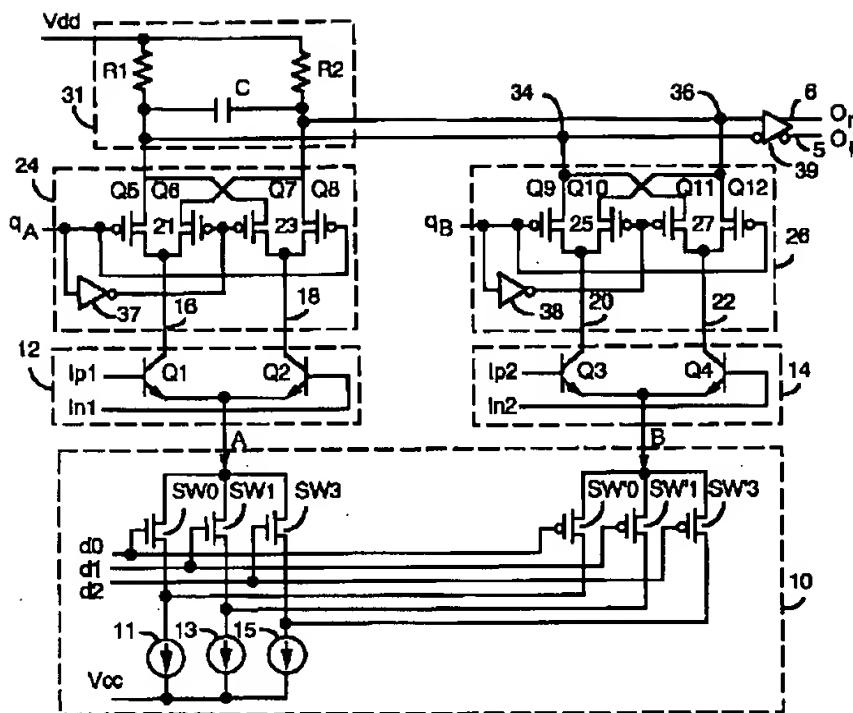
【符号の説明】

1…移相器、2…クロック再生PLLブロック、3, 4, 7…入力端、5, 6…出力端、10…CMOS電流スイッチ、40…基本電流スイッチ、11, 13, 15…電流源、12…第1の差動ブロック、14…第2の差動ブロック、16, 18…ルート、20, 22…ルート、21, 23…CMOS対、24…第1の送信回路、26…第2の送信回路、25, 27…CMOS対、31…負荷ネットワーク、34, 36…加算ノード、37, 38…インバータ、39…リミタ増幅器、51, 52, 53, 54…電流源、C…コンデンサ、 $d_0 \sim d_k$ …デジタル語、Q1, Q2, Q3, Q4, Q5, Q6, Q7, Q8, Q11, Q12…トランジスタ、R1, R2…負荷抵抗

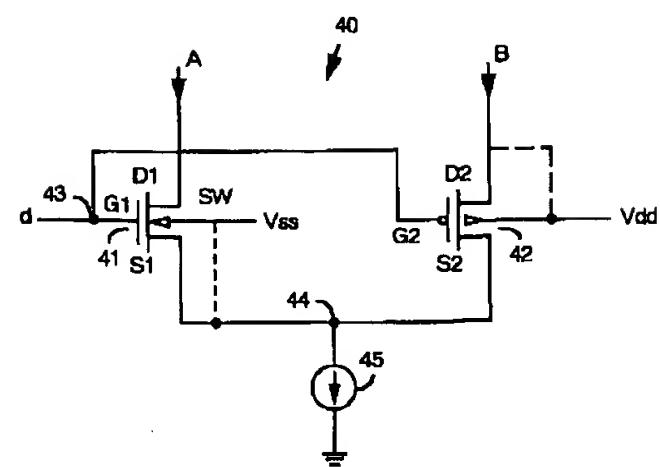
【図2】



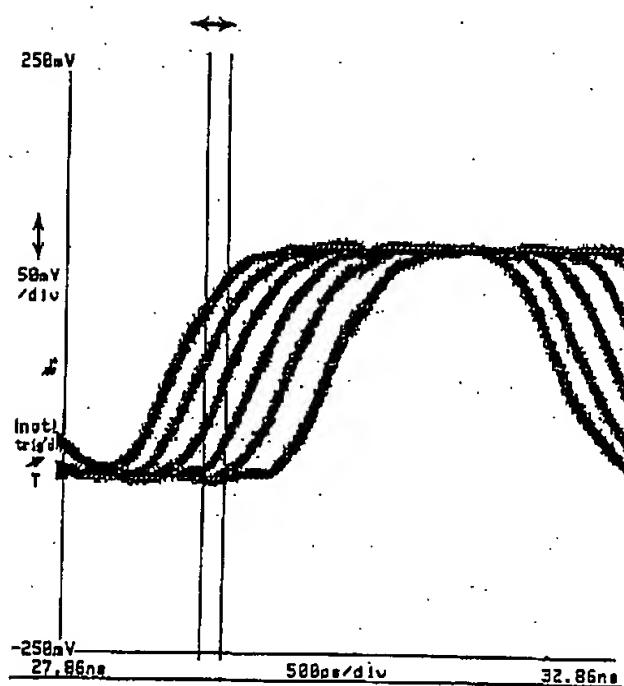
【図3】



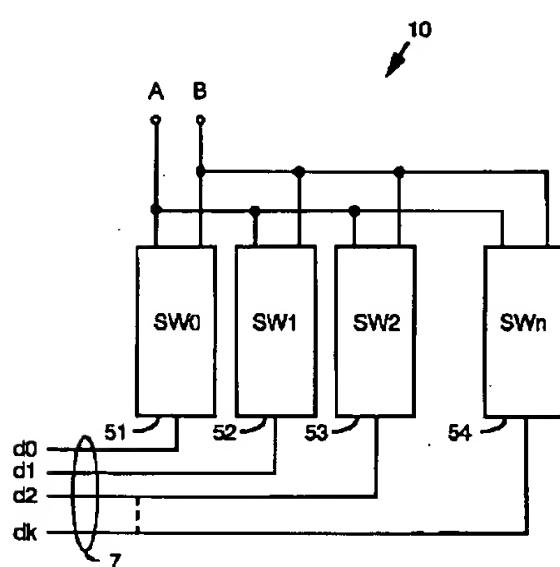
【図4】



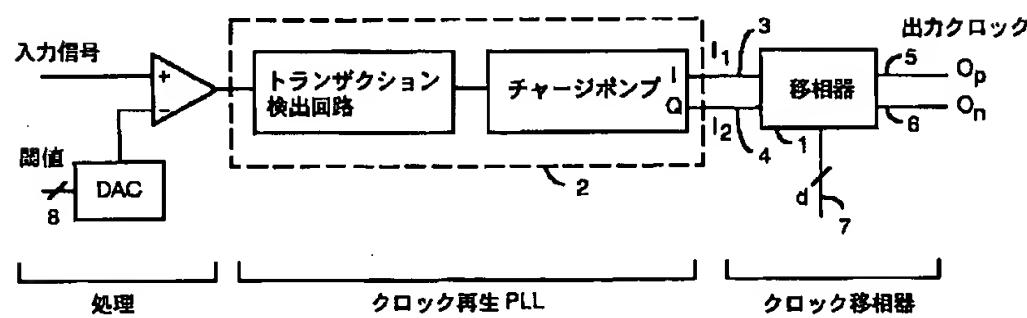
【図7】



【図5】



【図6】



フロントページの続き

(72)発明者 バーナード・ガイ

カナダ国、エイチ3ジェイ、2ダブリュー
5、ケベック、モントリオール、ルフスー
ロックヘッド #203, 2625

(72)発明者 ミカエル・アルトマン

カナダ国、ケイ2エル、2ケイ1、オンタ
リオ、カナダ、バルロー クレッセント
12